Electron S.R.L.

Conception
Production &
Commercialisation
d'Equipements
Educatifs

B1136-D – LABORATOIRE D'ELECTRONIQUE STATION DE DEVELOPPEMENT (DIGITAL)

MANUEL D'INSTRUCTIONS

Electron S.R.L. - MERLINO - MILAN ITALY Tel (++ 39 02) 9065 9200 Fax 9065 9180
Web **– www.electron.it** , e-mail – **electron@electron.it**

Sommaire

INTRODUCTION ET DESCRIPTION DU SYSTEME 3

1- INTRODUCTION 3

2 - DESCRIPTION 4

3 - PROCEDURE DE PREPARATION DU POSTE DE TRAVAIL : 7

4 – INVENTAIRE DES COMPOSANTS 9

CHAPTER 1 – MULTIVIBRATEURS A TRANSISTORS 10

1 – CIRCUIT BISTABLE 10

2 – BISTABLE AVEC CAPACITES D'ACCELERATION 11

3 – FONCTIONNEMENT DU BISTABLE EN MODE BASCULE 12

4 –BISTABLE NON SATURE, AVEC COUPLAGE DES EMETTEURS 13

4 –BISTABLE NON SATURE, AVEC COUPLAGE DES EMETTEURS 14

5 – CIRCUIT ASTABLE 15

CHAPTER 2 - PORTES LOGIQUES DE BASE 16

1 – ADDITION LOGIQUE (OU LOGIQUE) 17

2 – PRODUIT LOGIQUE (ET LOGIQUE) 18

3 – ADDITION LOGIQUE INVERSEE (NON OU LOGIQUE) 18

3 – ADDITION LOGIQUE INVERSEE (NON OU LOGIQUE) 19

4 – PRODUIT LOGIQUE INVERSE (NON ET LOGIQUE) 20

CHAPTER 3 – PORTES LOGIQUES 21

1 – PRESENTATION 21

2 – OPERATION NON ET (NAND) 22

3 – OPÉRATION ET (AND) 22

3 – OPÉRATION ET (AND) 23

4 – OPERATION OU (OR) 24

5 – OPERATION NON OU (NOR) 25

6 – BISTABLE RS (BASCULE) 26

7 – CIRCUIT ASTABLE 28

CHAPTER 4 – ADDITION/SOUSTRACTION DES NOMBRES BINAIRES 30

1 – DEMI ADDITIONNEUR 30

2 – ADDITIONNEUR COMPLET 33

3 – SOUSTRACTEUR DES NOMBRES BINAIRES 35

CHAPTER 5 – CONVERTISSEUR DE CODE (DECODEURS) 36

1 – CONVERTISSEUR DECIMAL VERS LE BINAIRE 36

2 –CONVERTISSEUR BINAIRE DECIMAL 37

3 –CONVERTISSEUR BINAIRE - 7 SEGMENTS 38
CHAPTER 6 – BASCULES 39
1 – LA BASCULE RS 39
2 – LA BASCULE D 40
3 – BASCULE JK 41
CHAPTER 7 – APPLICATIONS A BASCULES 42
2 – DIVISEUR DE FREQUENCE (PAR 2) 42
2 – REGISTRE PARALLELE 43
3 – COMPTEUR BINAIRE 44
4 – DECOMPTEUR BINAIRE 44
4 – DECOMPTEUR BINAIRE 45
5 – COMPTEUR DIVISEUR PAR N 46
6 – REGISTRE A DECALAGE 47
CHAPTER 8 – TRIGGER DE SCHMITT CMOS : DETECTEUR DE SEUIL 48
1 – GENERATION DE NIVEAUX LOGIQUES A PARTIR DE SIGNAUX LENTS 49
2 – MONOSTABLE 50
3 –GENERATEUR D'HORLOGE 52
CHAPTER 9 – CIRCUITS INTEGRES A FONCTIONS SPECIALES. 53
ANNEXE: DOCUMENTATION TECHNIQUE 54

INTRODUCTION ET DESCRIPTION DU SYSTEME

1- Introduction

Le B1136 est un outil général destiné pour le montage de circuits électroniques pour le développement et la formation.

Le B1136 consiste en un large panneau (de dimensions 520 x 340 mm) comportant tout ce qui est nécessaire pour le travail de laboratoire. Il est disponible en deux versions orientées respectivement (mais non limitées) vers le développement de circuits analogiques ou digitaux.

Ces deux versions partage la même philosophie de construction et ont plusieurs parties identiques.
Elles sont respectivement identifiées par B1136-A pour l'analogique et B1136-D pour la digitale.

Le B1136 est fourni avec un kit de composants pour la réalisation des expérimentations. Deux kits standards sont disponibles pour respectivement l'électronique analogique et l'électronique digitale. En complément, des kits de composants spécifiques peuvent être fournis pour couvrir tout autre besoin pédagogique.

Chaque kit de composant est accompagné d'un manuel d'expérimentations incluant les datasheets des composants.

Ce manuel s'applique au B1136-D (Version Digitale) équipé du kit de composants standard pour les expériences en électronique digitale.

2 - Description

Voir figure 1, montrant la face avant de la station de travail B1136-D

La partie inférieure inclue:

- 2 grand Lab. d'essais offrant un total de 3320 points. On peut utiliser pour les connexions des fils conducteurs de diamètre 0.3 à 1 mm. Un lot de fils de connexion, prédécoupés et dénudé, est fourni avec le pupitre.
- 1 ensemble de supports pour CI avec un support à 14 pattes, 2 de 16 et un de 20. Chaque patte est accessible individuellement par un connecteur standard 2.5 mm femelle et ce pour la réalisation de connections rapides. Aucun outil n'est nécessaire pour fixer les fils de connections. Pour réaliser les connections, on peut utiliser aussi bien du fils mono ou multibrins de diamètre 0.3 à 1.5mm.

- 1 bande de multi-trou pour soutenir et fixer Potentiomètres, commutateurs, lampes, LED, etc.... Cette bande est fixée au pupitre à l'aide de deux vis. Ceci permet d'enlever ou replacer cette partie.

- 2 trous filetés sont disponibles sur la devanture du poste de travail pour simplifier la fixation de radiateurs, transformateurs etc... Ceux-ci devraient être montés sur un support qui peut être fixé à la base en utilisant les trous filetés.

La partie supérieure du poste de travail inclut (de gauche à la droite):

- Une alimentation délivrant en sortie les tensions +12/+5/-12V DC, stabilisées et protégées. Le courant de sortie est approximativement de 500mA pour chacune des sources.
Les stabilisateurs de tension (régulateurs de tension) de cette alimentation sont montés intérieurement à l'embase du poste de travail. Un chauffage modéré de cette partie est donc normal.
Débranchez rapidement l'alimentation du pupitre en cas de conditions anormales (chauffage excessif, fumée, odeur, vibration etc..).
La tension d'alimentation du pupitre est de 220 à 240VAC 50 ou 60Hz. Sur demande, ces spécifications peuvent être modifiées.

- 8 indicateurs d'état logique. Ceux-ci fournissent une visualisation de l'état de signaux du circuit à l'essai. Les lumières sont éteintes pour le niveau logique bas (moins que 1.2 VDC) et sont autrement allumées. La tension d'entrée maximum acceptable est de 12V.

- 8 générateurs d'état logique, numérotés S0 à S7. Ceux-ci fournissent la commutation sans rebondissements entre les niveaux TTL sous la commande de 8 interrupteurs à levier.

- 4 générateurs (en pas à pas) d'impulsion Simple, chacun commandé par un Bouton Poussoir (B0 à B3). Chaque générateur fournit une impulsion (niveau bas, haut, puis bas) d'approximativement 40msec à chaque appui sur le bouton poussoir correspondant. Les sorties sont compatibles TTL.

- Un réseau de 8 Résistances de 10k chacune. Elles sont employées comme résistances de rappel dans les circuits. Les 8 Résistances ont une borne en commun et ce point est marqué "C".

The switches use a "standard, non-inverted" code: a "0" means that all switches are open, an "F" means all contacts closed.
The common point of the 4 contacts is labeled "C", while the 4 output contacts of each switch are labeled 1, 2, 4 and 8, indicating the weight of each output in the binary scale.

- 2 commutateurs binaire à quatre bits chacun (2x4 interrupteurs) permettant d'avoir en sortie 2 nombres binaires de 0 à 15 (0 à F en hexadécimal).
Ces interrupteurs utilisent un code « standard non inversé » : le « 0 » indique que tous les interrupteurs sont ouverts et « F » qu'ils sont tous fermés.
Le point commun des quatre interrupteurs est marqué "C", alors que les sorties sont numérotées 1, 2, 4 et 8 (puissance de 2) indiquant le poids de chaque sortie en système de numération binaire.

- Deux afficheurs numériques avec décodeurs/convertisseurs permettent l'affichage de deux nombres binaires (0 à F) en entrées. Les entrées doivent être au niveau logique TTL seulement. Si des niveaux plus élevés sont appliqués, il risque d'être endommagé. Dans le cas où on veut interfacer des tension plus élevées (ex. CMOS), il suffit de placer en série avec chaque entrée une résistance de 10 à 47 k qui limitera le courant grâce aux diodes d'entrée de protection du CI d'interface.

- Un générateur de signaux carrés à rapport cyclique ½, ajustable en 6 calibres de 0.1Hz à 100KHz (110 KHz). Deux orties ont disponibles, une compatible TTL, et l'autre à collecteur ouvert (Transistor NPN) pour l'utilisation avec la logique CMOS. Des résistances de rappel de 2k2 à 22k doivent relier cette sortie au +Vcc du circuit pour avoir un niveau haut logique correct.

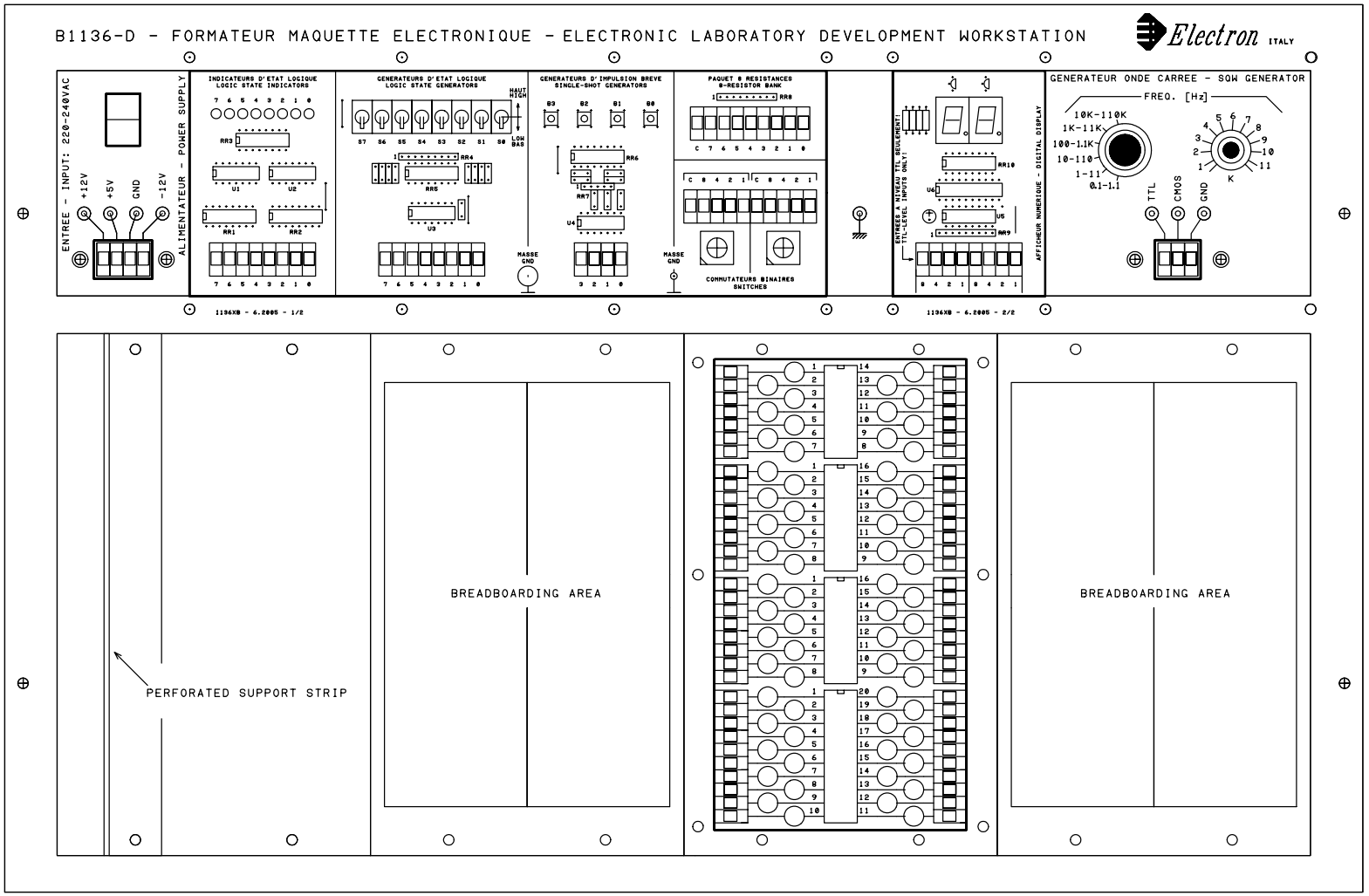


FIG. 1 : FACE AVANT DE LA STATION DE TRAVAIL

1136D1

3 - Procédure de préparation du poste de travail :

Cette section décrit brièvement les bases pour s'assurer que le poste de travail est fonctionnel et prêt à l'emploi. Ceci peut être exigé pour s'assurer que l'équipement livré est opérationnel.

1 - Vérifiez que la tension d'alimentation de votre secteur est compatible avec les spécifications du pupitre. Reliez alors le cordon d'alimentation et mettre sous tension. Mesurez alors les tensions de l'alimentation +5/+12/-12V avec un Voltmètre.

2 - Relier le générateur d'états logiques aux indicateurs de niveaux logiques par des fils. En agissant sur S0, S1, ..., la LED correspondante doit s'allumer.

3 - Branchez une extrémité d'un fil à la borne du générateur à impulsion unique No.0, l'autre extrémité du fil devrait être relié à l'entrée d'un des indicateurs d'état logique. Appuyer à plusieurs reprises le Bouton Poussoir "0". On observera un clignotement faible de la LED témoin. La faiblesse de l'illumination est due à la courte durée d'impulsion. Il peut être nécessaire d'ombrager la LED avec sa main. Répétez l'opération pour tous les générateurs d'impulsions.

4 – le réseau de 8 Résistances pour être vérifié un ohmmètre dont l'une des sondes est mise sur la borne commune "C" et l'autre sera déplacé de 0 à 7.

5 - Commutateurs binaires. Utilisez un ohmmètre avec une sonde solidement reliée à la borne d'"C", l'autre est déplacé de 1 à 8 comme requis.
Placez le commutateur sur "0": tous les commutateurs sont ouverts
Le commutateur sur "1": seul "1" est en court circuit avec le point commun "C"
Le commutateur sur "2": seul "2" en court circuit avec le point commun "C"
Le commutateur sur "4": seul "4" est en court circuit avec le point commun "C"
Le commutateur sur "8": seul "8" est en court circuit avec le point commun "C"

6 - l'affichage 2-digit. Reliez une extrémité d'un fil à la sortie +5V de l'alimentation. L'autre extrémité du fil devrait être relié successivement à toutes les entrées de l'affichage (1.2.3.4 - droite 1.2.3.4 gauche). L'affichage indiquera l'ordre suivant:

01, 02, 04, 08, 10, 20, 40, 80

7 - générateur de signaux carrés. Un essai complet exigera un oscilloscope et un fréquencemètre. Un contrôle rapide peut être exécuté comme suit:

Branchez une extrémité d'un morceau de fil à l'indicateur d'état logique No.0 et l'autre extrémité à la sortie TTL du générateur.
Déplacez le sélecteur de gamme de fréquence à la position minimale. La lumière clignotera à intervalles réguliers. La fréquence du clignotement est réglable en tournant le bouton de fréquence.
Déplacez le sélecteur de gamme de fréquence aux gammes plus élevées. À un certain moment, la lumière cessera de clignoter et demeurera à moitié allumée.

4 – Inventaire des composants

Le B1136 est fourni, sauf spécifications particulières du client, avec ce qui suit:

1 – Un coffret principal.
1 – Cordon d'alimentation.
1 – Un manuel d'instruction.
1 – Un lot de composants comportant:

- 100 pcs – fils de connections pré dénudés de différentes longueurs et couleurs.
- 20 pcs – fiches bananes avec capuchon en plastique
- 2 pcs – Boutons pour potentiomètres
- 1 pc – Potentiomètre 22K
- 1 pc – Potentiomètre 220K
- 1 pc – afficheur 7-segment à cathode commune
- 1 pc – Bouton Poussoir

10 pcs – Résistance 150Ω, ¼W
10 pcs – Résistance 470Ω, ¼W
10 pcs – Résistance 1K, ¼W
10 pcs – Résistance 2K2, ¼W
10 pcs – Résistance 4K7, ¼W
10 pcs – Résistance 10K, ¼W
10 pcs – Résistance 15K, ¼W
10 pcs – Résistance 22K, ¼W
10 pcs – Résistance 47K, ¼W
10 pcs – Résistance 100K, ¼W
10 pcs – Résistance 1M, ¼W

5 pcs – Capacité 100pF
5 pcs – Capacité 1KpF
5 pcs – Capacité 47KpF
5 pcs – Capacité 1μF, 25V
5 pcs – Capacité 10μF, 25V
5 pcs– Capacité 100μF, 25V
8 pcs – Transistor BC337
8 pcs – Diode 1N4148

4 pcs – CMOS IC 4011
4 pcs – CMOS IC 4013
2 pcs – CMOS IC 4015
2 pcs – CMOS IC 4017
2 pcs – CMOS IC 4019
2 pcs – CMOS IC 4027
2 pcs – CMOS IC 4029
2 pcs – CMOS IC 4042
4 pcs – CMOS IC 4069
2 pcs – CMOS IC 4070
2 pcs – CMOS IC 4071
2 pcs – CMOS IC 4072
2 pcs – CMOS IC 4073
4 pcs – CMOS IC 4093
4 pcs – CMOS IC 40106
2 pcs – CMOS IC 4503
2 pcs – CMOS IC 4511
2 pcs – CMOS IC 4520
2 pcs – CMOS IC 4532
2 pcs – CMOS IC 74HC138

CHAPTER 1 – MULTIVIBRATEURS A TRANSISTORS

1 – Circuit Bistable

La figure 1 montre le principe du circuit bistable.

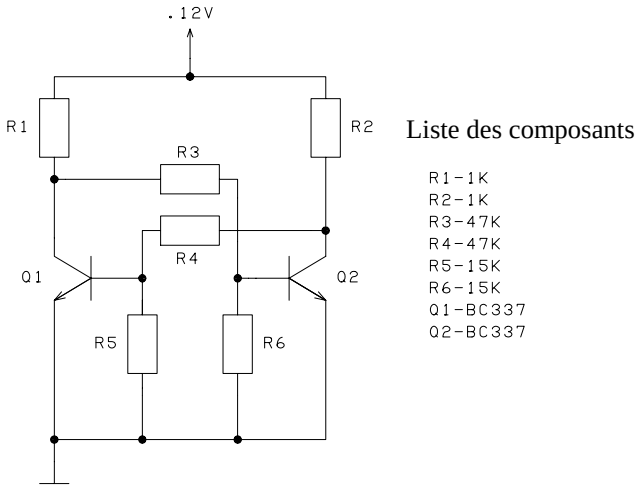


Fig. 1 : Circuit bistable de base

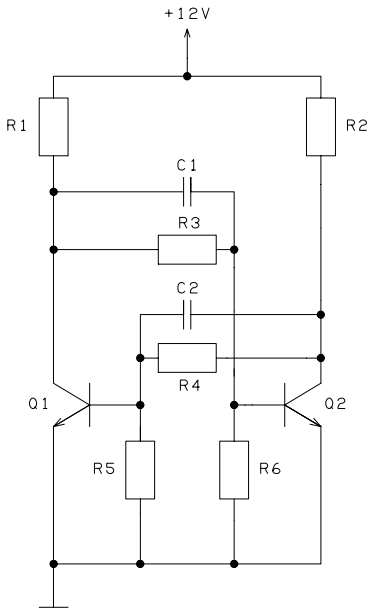
Le bistable est constitué d'un amplificateur à double étage, couple en continue, dont la sortie est ramenée sur l'entrée du premier étage. Le déphasage de 180° introduit par chaque étage fait que le signal ramené en entrée est déphasé de 360° par rapport à l'entrée, ce qui fait que la contre réaction est positive.
Si les conditions de polarisation en continu sont correctes, l'un des deux étages doit être en saturation (état ON) et l'autre à l'état de blocage (Etat OFF). Pendant que l'un des étages est à l'état ON l'autre se trouve à l'état OFF. Ce circuit possède donc deux (02) états et pour cela, on l'appelle un BISTABLE.

La première partie d'expérimentation consiste en le montage du circuit de la fig.1 et essayer sa capacité de bistable.

- A la mise sous tension, l'un des étages passé à l'état ON (saturé) de façon aléatoire. L'autre se met alors à l'état OFF.
- Mesurer en utilisant un voltmètre (ou oscilloscope) la tension de collecteur (par rapport à la masse) de chacun des étages.
- Mesurer la tension de base de chacun des étages.
- Calculer le courant de collecteur et base pour chaque transistor.
- Tracer les courbes pour vérifier qu'elles sont logiques. En particulier vérifier que chaque transistor est bloqué par la tension basse du collecteur de l'autre transistor et ce dernier est mis en conduction par la tension de base élevée fournie par le premier.
- Brancher l'une des extrémités d'un cordon à la masse et toucher brièvement de l'autre extrémité le collecteur du transistor bloqué (ou la base de l'autre). L'état des deux transistors change alors.
- Répéter l'opération tant que vous le désirez pour bien comprendre le mécanisme de commutation.

2 – Bistable avec capacités d'accélération

La contre réaction positive permettant au bistable de base de commuter d'un état à l'autre peut être renforcer pour permettre des transitions plus rapide en rajoutant des capacités d'accélération comme indiqué en fig.2



Liste des composants

R1-1K
R2-1K
R3-47K
R4-47K
R5-15K
R6-15K
C1-1KpF
C2-1KpF
Q1-BC337
Q2-BC337

Fig. 2 : Bistable avec capacités accélératrices

3 – Fonctionnement du bistable en mode bascule

On a vu qu'une brève impulsion à la masse appliquée au collecteur du transistor bloqué ou à la base de celui qui est saturé permet au circuit de changer d'état.
Si elle est appliqué au collecteur, l'impulsion n'a pas besoin d'atteindre une tension nulle, mais d'atteindre un niveau suffisamment bas sur la base de l'autre transistor pour permettre de le bloquer.

Cette affirmation peut être mise en équation, pour calculer l'amplitude minimale de l'impulsion. Dans tous les cas, pour avoir une commutation propre (sure), l'impulsion doit être de sens négatif, étroite et large.

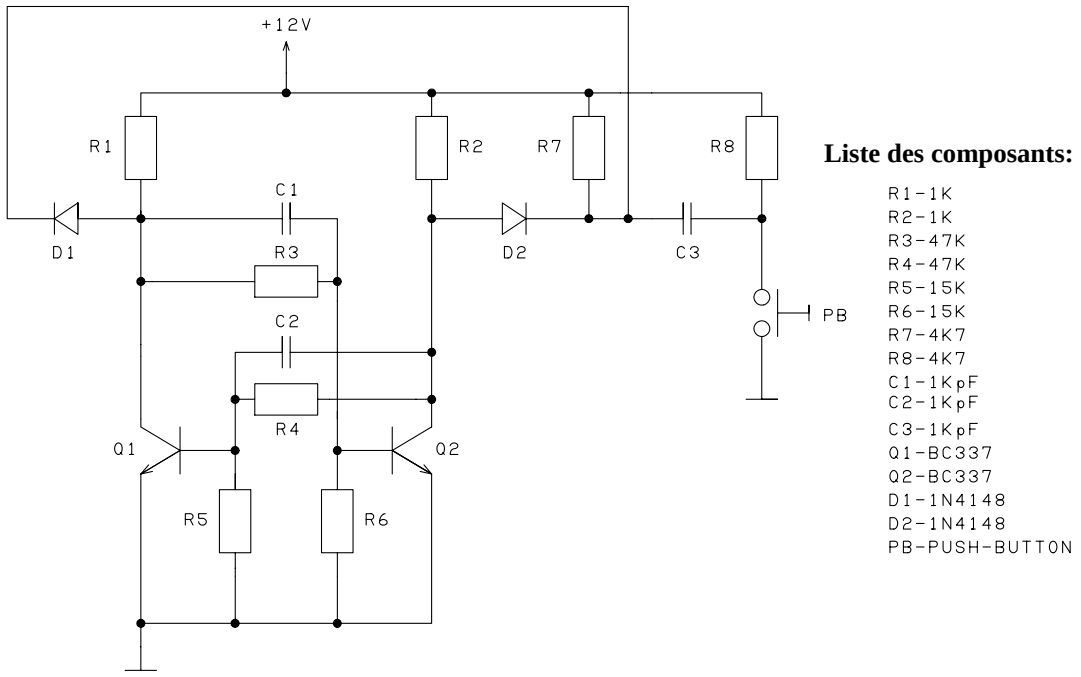


Fig. 3 : Bistable en mode bascule

La Fig.3 montre comment générer des impulsions avec les caractéristiques requises. Ce qui est réalisé par les diodes D1 et D2, et les composants R8, C3, R9 et PB.(Fig.5).

Les diodes D1 et D2 appliquent l'impulsion au transistor bloqué.
Les impulsions sont générées suivant une impulsion sur le bouton poussoir PB : la capacité C3 est initialement déchargée, et se charge à travers R8. Ce qui génère une impulsion de déclenchement pour D1 et D2.
Quand PB est relâché, C3 se décharge à travers R8 et R9 et un nouveau cycle est prêt.

Réalisez une étude fonctionnelle du basculement du circuit en explorant les formes d'onde aux divers points du circuit avec l'oscilloscope, quand le Bouton Poussoir est actionné à plusieurs reprises.

Le générateur de signaux carrés du pupitre peut être utilisé au lieu du PB pour produire des impulsions répétées. Le collecteur ouvert du transistor de sortie (CMOS) devrait être relié à la place de PB. Voir le Fig.4.

Régler fréquence du générateur à une valeur très basse (au-dessous de 10Hz) pour permettre C3 de se décharger après chaque opération.

Set the repetition frequency at a very low value (below 10Hz) in order to let the toggle pulse generator recover (C3 to discharge) after each operation.

On observera que ce circuit fonctionne comme un diviseur par 2 de la fréquence d'entrée.

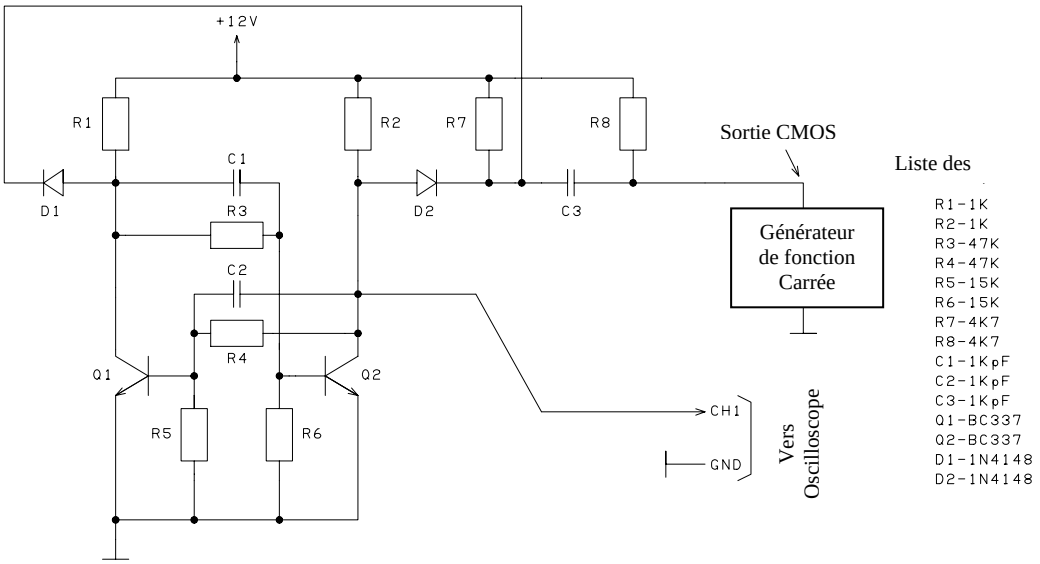


Fig. 4 : Bistable en diviseur de fréquence (par 2)

4 –Bistable non saturé, avec couplage des émetteurs

La fig.5 montre le montage a étudié.

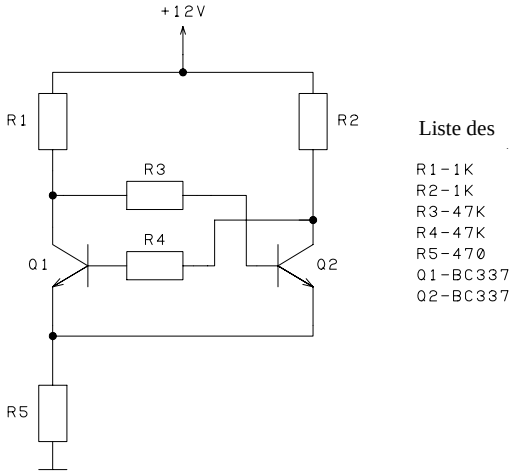


Fig. 5 : Bistable non saturé, avec couplage des émetteurs

La tension de collecteur de Q1 est :

$$V_{C1} = +V_C - R1 \cdot I_{Q1}$$

Pour un fonctionnement correct du bistable, il est nécessaire que V_{C1} soit suffisamment petit pour que V_{B-E} de Q2 soit inférieur à 0.7V :

$$[V_{C1}.R6/(R3+R6)] - V_{E1} \leq 0.7V$$

Noter que le transistor en conduction n'a pas besoin d'être fortement saturé comme dans le cas du circuit précédent. En fait, il peut être dans sa région linière. Ceci permet bien sur d'avoir des réponses plus rapides

5 – Circuit Astable

La figure 6 montre le principe du circuit astable : les deux transistors sont polarisés dans leur région de conduction.

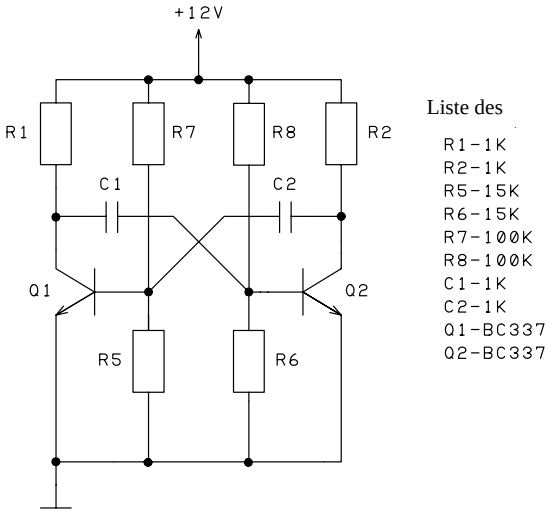


Fig. 6 : Circuit Astable de base

La situation des deux transistors en conduction est cependant instable. Une fluctuation aléatoire du courant de fuite de transistor peut déranger la situation et mène à la saturation de l'un des deux transistors et au blocage de l'autre.

Après cette phase, l'une des deux capacités maintenant un transistor à l'état bloqué (C2 maintenant Q1 bloqué) tend à se décharger à travers la base polarisant la résistance R5 jusqu'au point où Q1 se met en conduction et l'opération de basculement est répétée.

La tension de collecteur de n'importe lequel de ces deux transistors apparaît comme un signal carré. Ce circuit utilisé souvent comme générateur de signal.

CHAPTER 2 - PORTES LOGIQUES DE BASE

Le sujet de ce chapitre est l'expérimentation de 4 circuits capable de réaliser les opérations de base de l'algèbre de Boole pour deux variable A et B.

Ces 4 circuits sont construit en utilisant des résistances, diodes et transistors et représentent des exemples du comment la logique peut être réalisé en utilisant des composants discrets en remplacement des CI digitaux.

1 – Addition logique (OU LOGIQUE)

Le circuit de test est donné figure 1

La sortie est à l'état bas quand A et B sont tous les deux à l'état bas et passe à l'état haut dès que l'une des deux entrées (ou les deux) passe à l'état haut.

Pour tester cette fonction logique, utiliser un indicateur de niveau logique connecté à la sortie de la porte.

Utiliser pour les entrées, deux des interrupteurs du générateur d'état logiques (S0 et S1)

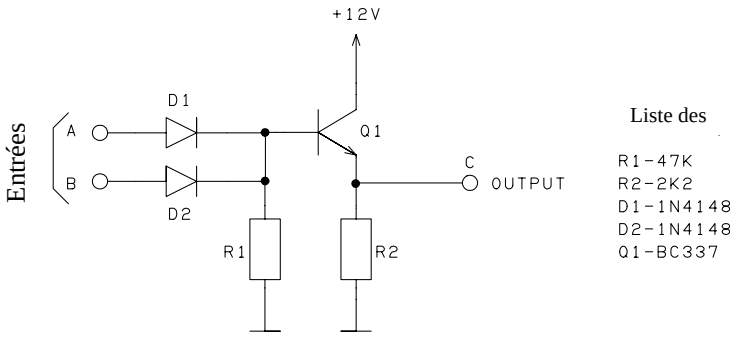


Fig. 1 : Additionneur logique

C = A OR B
C = A + B

1136D57

2 – Produit logique (ET LOGIQUE)

Le circuit de test est donné figure 2

La sortie est à l'état bas dès que A ou B (ou les deux) sont à l'état bas.
La sortie est à l'état haut que quand A et B sont tous les deux à l'état haut.

Là aussi, utiliser un indicateur de niveau logique connecté à la sortie de la porte pour afficher son état et S0 et S1 pour avoir les entrées.

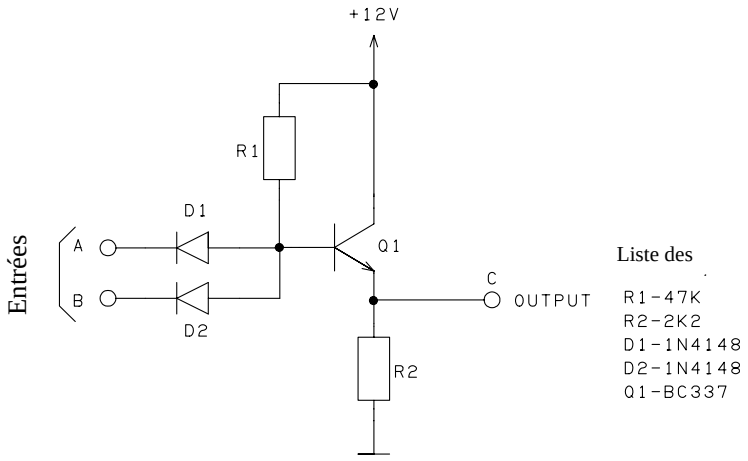


Fig. 2 : Multiplicateur logique

C = A AND B
C = A • B

1136D58

3 – Addition logique inversée (NON OU LOGIQUE)

Le circuit de test est donné Fig.3.

La sortie est à l'état haut quand les deux entrées sont ouvertes ou à l'état bas et à l'état bas dès que l'une des deux entrées (ou les deux) passe à l'état haut.

Utiliser un indicateur de niveau logique connecté à la sortie de la porte pour afficher son état et S0 et S1 pour avoir les entrées.

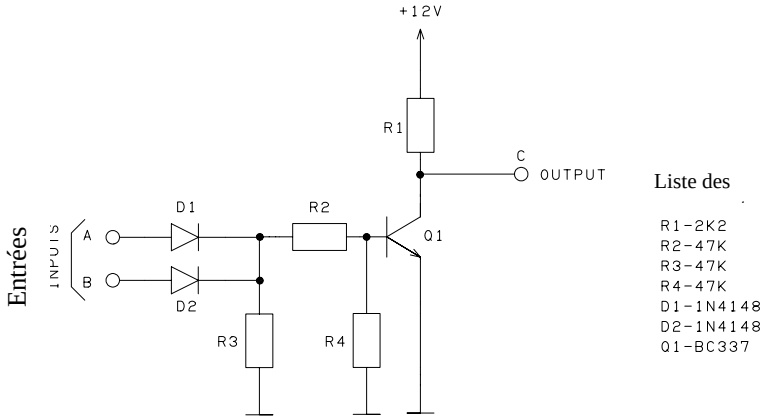


Fig. 3 : Circuit NON OU logique

$C = A \text{ NOR } B = \overline{A+B}$ 1136D59

4 – Produit logique inversé (NON ET LOGIQUE)

Le circuit de test est donné Fig.4.

La sortie est à l'état haut quand l'une des deux entrées (ou les deux) est à l'état bas, et à l'état haut quand les deux entrées sont à l'état haut.

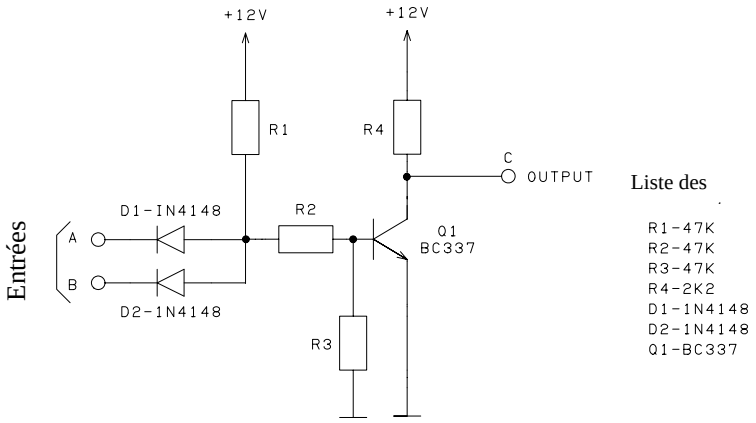


Fig. 4 : Circuit NON ET logique

$C = A \text{ NAND } B = \overline{A \bullet B}$ 1136D60

CHAPTER 3 – PORTES LOGIQUES

1 – Présentation

Le matériel digital peut réaliser des fonctions très complexes en se basant sur des quelques opérations logiques élémentaires.

Le but de ces exercices est de voir les principales opérations logiques élémentaires comme le OU, ET, NON, NON OU, NON ET, OU exclusif, en utilisant des portes logiques à deux entrées.

– Pour ces expériences, il sera fait usage d'un circuit intégré HCF4093B. il consiste en 4 portes NON ET (NAND) à deux entrées chacune. Ce composant est en technologie CMOS.

Pour toutes les expérimentation, le CI sera alimenté avec une tension de +5V.

Ne pas laisser les entrées non connectées ouvertes. Selon le cas, les mettre à la masse ou à Vcc.

2 – Opération NON ET (NAND)

Cette opération peut être réalisée en utilisant deux opérandes. Le symbole et la table de vérité sont donnés par les figures 1A et 1B.
Nous supposerons comme d'usage que le 0 est le niveau logique bas (0 à 0.8 V) et 1 les niveaux logiques hauts, disponibles en sortie du générateur de niveaux logiques.

Les interrupteurs 0 et 1 sont utilisés pour avoir le niveau logique de A et B. la sortie U sera visualisée par l'une des 8 indicateurs logique du pupitre. Le voyant allumé indique 1 et éteint 0.

Vérifier la table de vérité de la figure 1B. Votre conclusion devrait être comme suit :

"L'opération NON ET (NAND) donne 0 en sortie seulement quand les deux entrées sont à 1".

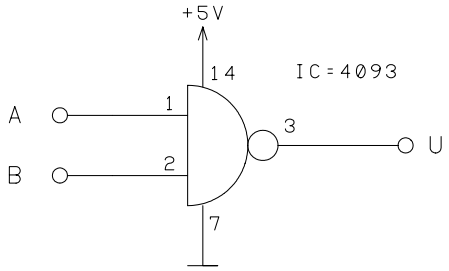


Fig. 1A : Porte NON ET

A	B	U
0	0	1
1	0	1
0	1	1
1	1	0

Fig. 1B : Table de Vérité de la porte NON ET

1136D61

3 – Opération ET (AND)

Cette opération logique peut être démontrées par l'utilisation d'une porte logique NAND suivie d'une autre porte utilisée en inverseur. Voir figures 2A, 2B.

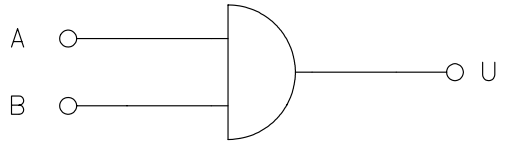


Fig. 2A : Porte ET

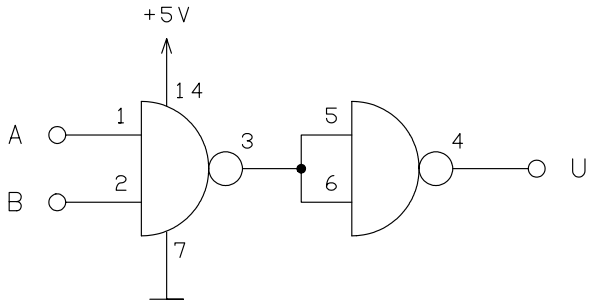


Fig. 2B : Circuit Equivalent à Fig. 2A

1136D62

Faire le montage ci-dessus, et vérifier la table de vérité suivante:

A	B	U
0	0	0
0	1	0
1	0	0
1	1	1

Utiliser les interrupteurs pour avoir les entrées logiques et les indicateurs de niveaux logiques pour afficher le résultat.

Ne pas laisser les entrées non connectées ouvertes. Selon le cas, les mettre à la masse ou à Vcc.

La conclusion de votre expérience devrait être :

"L'opération ET (AND) donne 1 en sortie dès lorsque les deux sont toutes les deux à 1 "

4 – Opération OU (OR)

La figure 3A Montre le symbole d'une porte OU à deux entrées. La figure 3B est équivalente à 3A dès que l'on ajoute en séries deux inverseurs. Du cours théorique, nous savons que l'inversion peut être passée de la sortie de la porte aux entrées en inversant le type de la porte de OU à ET ou vice versa. Ce qui donne le schéma de la figure 3D équivalent en fonctionnement à notre porte OU d'origine.

Faire le montage de la figure 3D et tester la table de vérité de la figure Fig.3E.

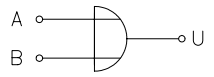


Fig. 3A : Porte OU

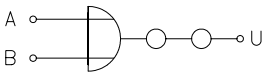


Fig. 3B : Combinaison Equivalente de Fig. 3A

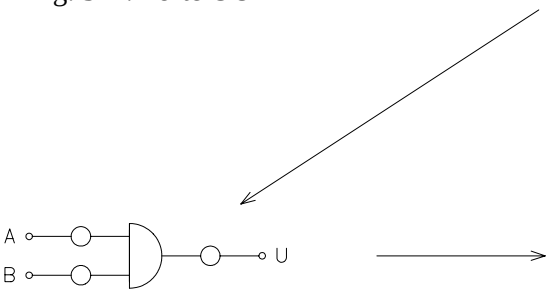


Fig. 3C : Combinaison Equivalente de Fig. 3B

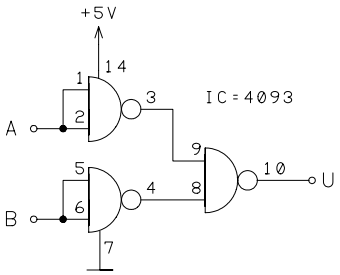


Fig. 3D : Combinaison Equivalente de Fig. 3C

A	B	U
0	0	0
0	1	1
1	0	1
1	1	1

Fig. 3E : Table de Vérité de la porte OR

Utiliser les interrupteurs pour avoir les entrées logiques et les indicateurs de niveaux logiques pour afficher le résultat.

Ne pas laisser les entrées non connectées ouvertes. Selon le cas, les mettre à la masse ou à Vcc.

La conclusion de votre expérience devrait être :

" La fonction OU donne un 1 en sortie dès que l'une de ses entrées est à 1".

5 – Opération NON OU (NOR)

La figure 4A montre le symbole de la porte NOR.
La figure 4B est une configuration équivalente, avec les inversions ramener aux entrées et la porte ET est changé par une OR.
Fig.4A shows the symbol.
Figure 4C est la combinaison finale, équivalente à la porte de la figure 4A, que nous allons essayer.

Faire le montage de la figure 4C et tester la table de vérité.

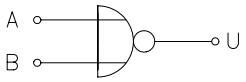


Fig. 4A : Porte NON OU

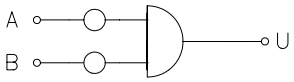


Fig. 4B : Circuit Equivalent de Fig. 4A

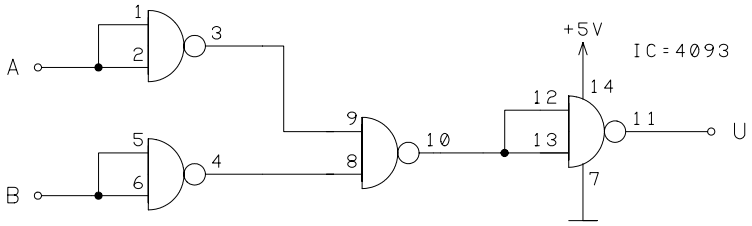


Fig. 4C : Combinaison Equivalente de la porte de la Fig. 4A

A	B	U
0	0	1
0	1	0
1	0	0
1	1	0

Fig. 4D : Table de Vérité de la porte NON OU

1136D64

Utiliser l'afficheur de niveau logique pour voir l'état des sorties et les signaux de S0 et S1 comme entrées.

La conclusion de votre expérience devrait être :

"L'opération NON OU (NOR) donne 0 en sortie dès lors que l'une des entrées est à 1 "

6 – Bistable RS (BASCULE)

La figure 5A montre un arrangement de deux portes NAND fonctionnant comme un circuit à deux états. Ce circuit mémoriser la dernière transition vers l'état bas des deux entrées A et B.

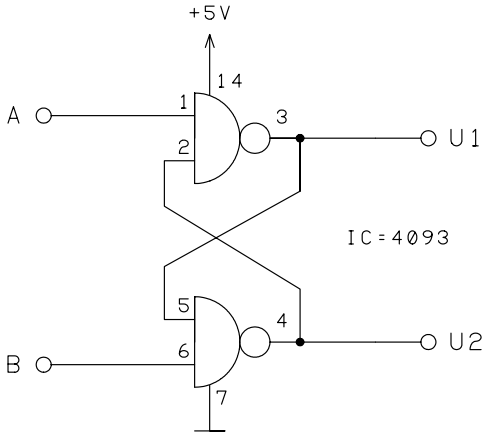


Fig. 5A : Circuit du Bistable RS

1136D65

Le fonctionnement est le suivant :

– À la mise sous tension avec A et B à 1, l'état des sorties est imprévisible, puisque la bascule est initialisée aléatoirement. U1 et U2 peuvent être à 1,0 ou 0,1.

– Si A est mis à l'état bas, U1 passe à l'état haut et U2 à l'état bas et cet état est maintenu quand A repasse à l'état haut.

– Si B est mis à l'état bas, U1 passe à l'état bas et U2 à l'état haut et cet état est maintenu quand B repasse à l'état haut.

– Si A et B passent à l'état bas en même temps, les deux sorties seront toutes les deux, à l'état haut. Quand les entrées A et B repassent à l'état haut, l'état des sorties dépendra de laquelle des deux entrées est repassée à l'état haut en dernier.
En pratique, de petites inégalités entre les deux portes fait que l'une des sorties est positionnée avant l'autre.

– Si les deux entrées sont liées et passe à l'état haut en même temps, l'état de la bascule est théoriquement irrégulier.

Faire le montage de la figure 5A et tester la table de vérité donnée ci-dessous.

A	B	U1	U2
↘	1	1	0
1	↘	0	1
0	0	1	1
1	1	PRECEEDING STATUS	
↘	↘	UNDEFINED	

Fig. 5B : Table de Vérité du circuit de la Fig. 5A

1136D66

7 – Circuit Astable

Le circuit est donné en figure 6A

Son fonctionnement est le suivant :

– Supposons que C est initialement déchargée. Ce qui donne un état bas à l'entrée de la porte logique. La sortie est alors à l'état haut.
– La capacité C se charge à travers R et la tension à ses bornes augmente en conséquence jusqu'au point où la porte commute et passe à l'état bas. C se met à se décharger à travers R.
– Le seuil de commutation de la porte est encore atteint et le cycle est répété. Le voyant en sortie montre le clignotement du niveau de la sortie.

Le circuit d'étude de l'astable est donné sur la figure 6A

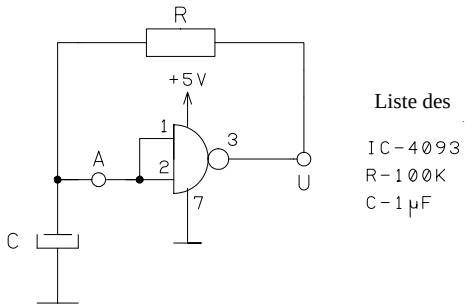


Fig. 6A : Circuit à étudier

Seuils de commutation de la porte

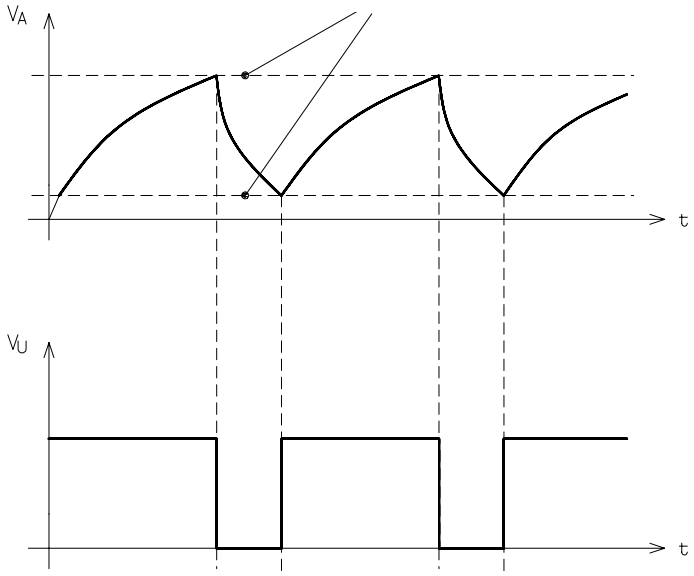


Fig. 6B : Courbes des signaux du circuit de la Fig.6A

1136D67

CHAPTER 4 – ADDITION/SOUSTRACTION DES NOMBRES BINAIRES.

1 – Demi additionneur

Dans ce qui suit : Le symbole • ou (•) indique un nombre décimal
Le suffixe H indique un nombre hexadécimal
Le suffixe B indique un nombre binaire

Supposons que l'on veut réaliser la somme de deux nombres X et Y :

	b3	b2	b1	b0	
X = 11(•) = B(H) =	1	0	1	1	(B)
Y = 3(•) = 3(H) =	0	0	1	1	(B)

La somme e de X et Y en binaire est réalisée bit à bit de la droite vers la gauche. Chaque colonne génère une somme et une retenue. La retenue sera additionnée aux bits de la colonne suivante. Dans notre exemple, l'addition se réduit aux opérations élémentaires suivantes :

$X_0 + Y_0 = 1+1 = 0$, retenue 1
$X_1 + Y_1$ + retenue précédente = 1+1+1 = 1, retenue 1
$X_2 + Y_2$ + retenue précédente = 0+0+1 = 1, retenue 0
$X_3 + Y_3$ + retenue précédente = 1+0+0 = 1, retenue 0

Le résultat est: Z = 1110(B) = 14(•) = E(H).

La procédure utilisée dans cet exemple peut être étendue au cas général:

L'addition binaire est le résultat d'une séquence d'opérations élémentaires d'addition bit à bit. Chaque opération élémentaire génère un résultat et une retenue.
Cette opération élémentaire s'appelle une demi addition sa table de vérité est donnée ci-dessous.

	Bit X_n	Bit Y_n		SOMME	RETENUE
DEMI	0	0	⇒	0	0
ADDITIONNEUR	0	1	⇒	1	0
	1	0	⇒	1	0
	1	1	⇒	0	1

Cette table de vérité peut être réalisée par les deux équations suivantes:

$$SOMME = (X_n + Y_n) \cdot (\overline{X}_n + \overline{Y}_n)$$

$$RETENUE = \overline{\overline{X}_n + \overline{Y}_n}$$

DEMI ADDITION EN MODE (1)

Ou bien:

$$\left.\begin{array}{l} SOMME = \overline{X}_n \cdot Y_n + X_n \cdot \overline{Y}_n \\ \\ RETENUE = X_n \cdot Y_n \end{array}\right\} \text{ DEMI ADDITION EN MODE } (2)$$

Ou bien encore:

$$\left.\begin{array}{l} \text{SOMME} = X_{\text{n}} \text{ XOR } \text{Y}_{\text{n}} \\ \\ \text{RETENUE} = \text{X}_{\text{n}} \text{ AND } \text{Y}_{\text{n}} \end{array}\right\} \text{ DEMI ADDITION EN MODE } (3)$$

Nous allons maintenant réaliser un circuit électronique réalisant la demi addition pour chacun des modes énoncés précédemment.

Nous pouvons réaliser et tester le demi additionneur réalisant les fonctions ci-dessus.

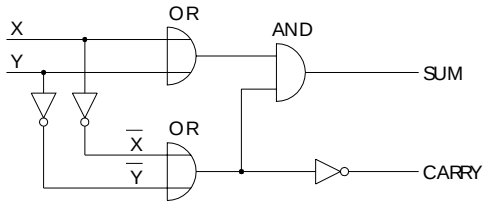
Nous ferons usage des CI suivant:

- 4069 ou 40106 – 6 inverseurs par boîtier (composant)
- 4011 – Portes Non ET (NAND) à deux entrées (4/boîtier)
- 4073 – Portes ET (AND) à deux entrées (4/boîtier)
- 4071 – Portes OU (OR) à deux entrées (4/boîtier)
- 4070 – Portes OU Exclusif (XOR) à deux entrées (4/boîtier)
- 4019 – multiplexer/démultiplexeur de donnée.

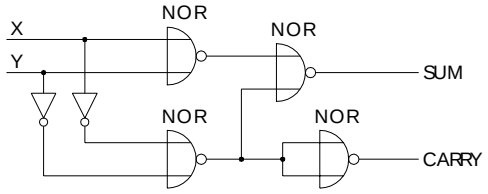
- Utiliser une alimentation de +5V pour tous les CI.
- Ne pas laisser les entrées inutilisées en l'air. Les connecter à la masse ou Vcc selon les cas.
- Pour faire le câblage du circuit de test, utiliser les schémas de brochage donnés en annexe (datasheet fabricant).
- Utiliser le générateur de signaux logiques du pupitre comme entrées du circuit
- Utiliser les indicateurs d'états logiques pour l'affichage des signaux de sorties.

- Tous les CI utilisés sont de type CMOS, pouvant être endommagés par des décharges électrostatiques. Respecter les règles de manipulation d'usage pour ces composants.

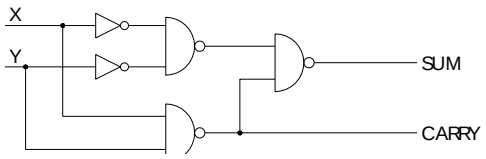
TABLE 1



Ce circuit est équivalent

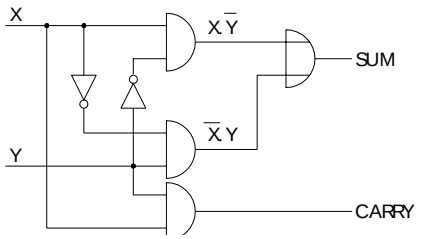


Et est aussi équivalent à :



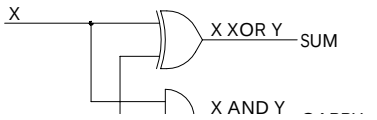
DEMI ADDITIONNEUR EN MODE 1

Circuit de test 1
1pc 4069 – NOT
1pc 4011 – NAND



DEMI ADDITIONNEUR EN MODE 2

Circuit de test 2
1pc 4069 – NOT
1pc 4073 – AND
1pc 4071 – OR



DEMI ADDITIONNEUR EN MODE 3

HALFSUM IN MODE Y

Circuit de test 3
1pc 4071 – OR
1pc 4070 – XOR

2 – Additionneur Complet

Partant du demi additionneur présenté précédemment, l'additionneur complet doit en même temps additionner deux bits plus la retenue résultant de l'addition précédente.

Nous appellerons X, Y et C les deux bits à additionner et la retenue de l'opération précédente, respectivement.
Il peut être démonter que le résultat de l'addition complète, est le suivant:

$$\text{SOMME} = X\overline{Y}C + \overline{X}Y\overline{C} + \overline{X}\overline{Y}C + XYC$$

(=1 si un seul de ces variables (X, Y ou C) est à 1 où tous les variables)

$$\text{RETENUE} = XY\overline{C} + X\overline{Y}C + \overline{X}YC + XYC$$

(=1 Si deux des variables sont à 1 ou toutes les trois)

Les deux équations ci-dessus donne la table de vérité suivante :

ADDITIONNEUR COMPLET

X	Y	RETENUE En entrée	SOMME	RETENUE En sortie
0	0	0	0	0
0	1	0	1	0
1	0	0	1	0
1	1	0	0	1
			(X XOR Y)	(X.Y)
0	0	1	1	0
0	1	1	0	1
1	0	1	0	1
1	1	1	1	1
			$\overline{(X \text{ XOR } Y)}$	(X+Y)

Nous récrivons ci-dessous la table de vérité du demi additionneur:

DEMI ADDITIONNEUR

Bit X_n	Bit Y_n		SOMME	RETENUE
0	0	⇒	0	0
0	1	⇒	1	0
1	0	⇒	1	0
1	1	⇒	0	1
			(X XOR Y)	(X.Y)

Nous remarquons que la première moitié de la table de vérité de l'additionneur complet (quand C=0) est égale à celle du demi additionneur.

Pour la seconde moitié de la table (C=1), la somme est égale au complément de la somme du demi additionneur, alors que la retenue est égale à (X OU Y).
Nous pouvons alors construire l'additionneur complet comme suit :

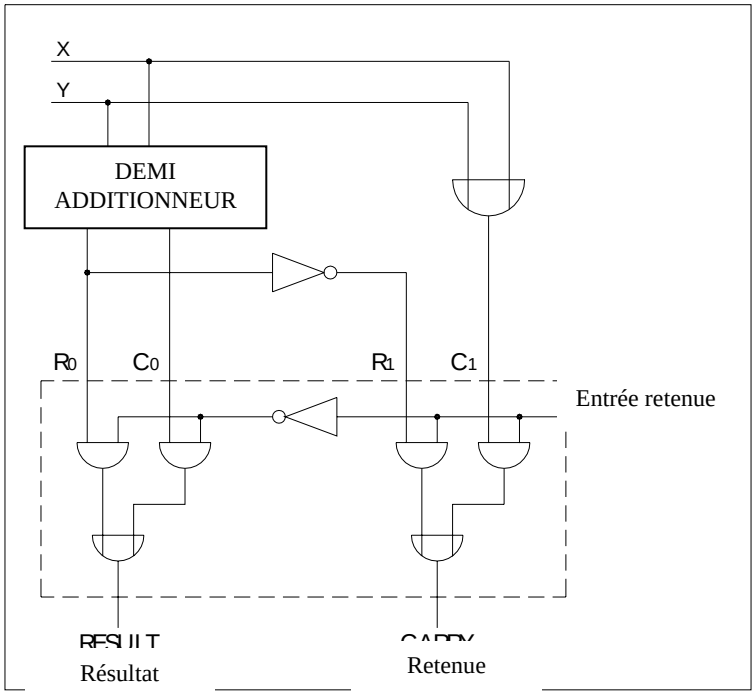


Fig. 1 : Additionneur Complet

Utiliser le circuit de test N°1 du demi additionneur (Voir paragraphe précédent). Ce qui exige l'utilisation des composants :
- 4069 ou 40106 – 6 inverseurs par boîtier
- 4011 – Portes Non ET (NAND) à deux entrées (4/boîtier)

En plus de ceci, les composants suivants sont nécessaires :
- 4071 – Portes OU (OR) à deux entrées (4/boîtier)
- 4019 –multiplexer/démultiplxeur de donnée

Le circuit se trouvant à l'intérieur du rectangle en pointillé est pratiquement un double démultiplexeur permettant la sortie de R_0, C_0 ou R_1, C_1 selon la valeur de la retenue d'entrée.

Cette fonction est réalisée par un CI de type 4019.

L'additionneur complet peut être testé par le circuit de la figure 1 L'étudiant peut développer de lui même ce cas, en suivants les directives données dans le cas du demi additionneur.

3 – Soustracteur des nombres binaires

La même procédure utilisée dans le cas de l'addition peut être utilisée pour développer la soustraction binaire. Le résultat est donné par la table de vérité et équations suivantes :

Soustracteur

X	Y	Emprunt en entrée	Résultat	Emprunt en sortie
0	0	0	0	0
0	1	0	1	1
1	0	0	1	0
1	1	0	0	0
			(X XOR Y)	$(\overline{X} \cdot Y)$

0	0	1	1	1
0	1	1	0	1
1	0	1	0	0
1	1	1	1	1
			$\overline{(X \text{ XOR } Y)}$	$(\overline{X} + Y)$

L'implémentation des fonctions (X XOR Y), $(\overline{X} \cdot Y)$ $\overline{(X \text{ XOR } Y)}$ $(\overline{X} + Y)$ est une chose que l'étudiant à déjà apprise dans les exercices précédents.

L'élaboration du circuit électrique à partir du schéma logique sera proposé comme exercice de rappel.

Pour réaliser le circuit de test, les même composants listés dans les paragraphes précédents seront utilisés.

CHAPTER 5 – CONVERTISSEUR DE CODE (DECODEURS)

1 – Convertisseur Décimal vers le binaire

Pour la réalisation de cette fonction, on utilisera un CI spécialisé, le 4532, dont le datasheet est donné en annexe.

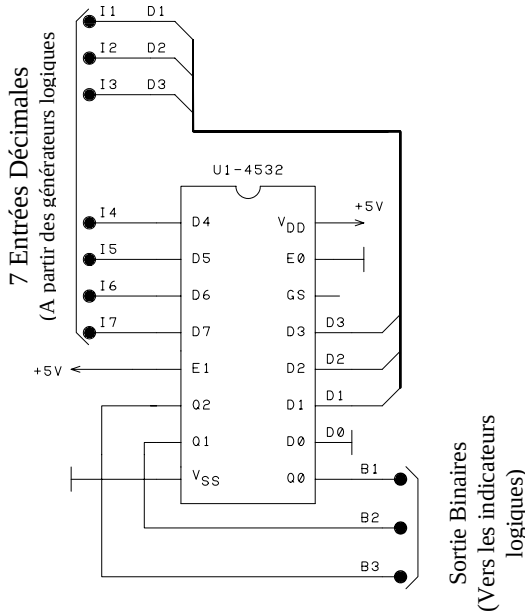


FIG. 1 : Convertisseur Décimal vers le binaire

1136D68

La figure .... Donne le montage de test. Pour toute entrée décimale (D1.. D7) active, le 4532 va généré ont code binaire correspondant.
La table suivante donne la sortie pour quelques entrées (1, 2, 6).

ENTREES								SORTIES		
D7	D6	D5	D4	D3	D2	D1		B3	B2	B1
0	0	0	0	0	0	1		0	0	1
0	0	0	0	0	1	0		0	1	0
0	1	0	0	0	0	0		1	1	0

Etablir la table de vérité complète pour ce circuit.

2 –Convertisseur Binaire Décimal

Pour tester cette fonction, on utilisera le 74HC138, un CI à fonction spécifique dont le datasheets est donné en annexe.

La figure 2 montre le circuit de test:

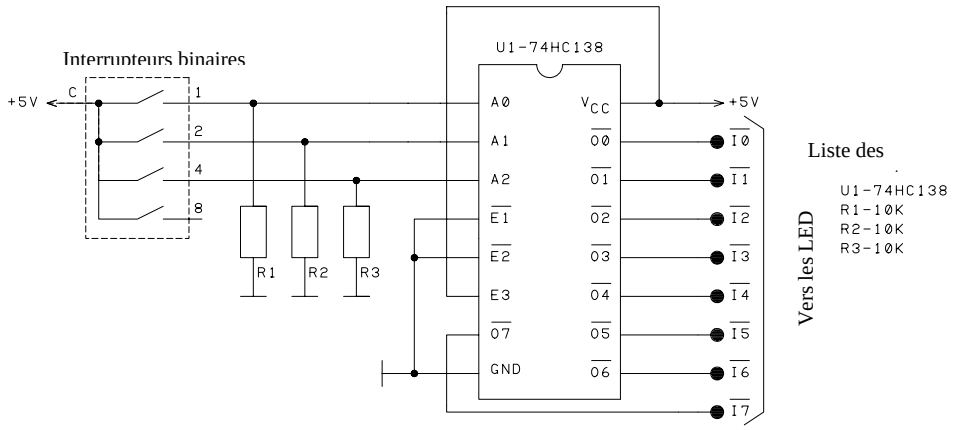


FIG. 2 : Convertisseur binaire vers le Décimal

Utiliser les interrupteurs binaires pour générer les entrées du CI. Noter que les résistances de rappel sont indispensables pour avoir le niveau bas quand les interrupteurs ont ouverts.

Utiliser les indicateurs de niveaux logiques pour afficher les sorties. Noter que le HC138 possède des sorties inversées (active au niveau bas). Relever la table de vérité pour le composant en test.

3 –Convertisseur binaire - 7 Segments

Pour expérimenter cette fonction, le montage de la figure 3 doit être utilisé. Il inclus:

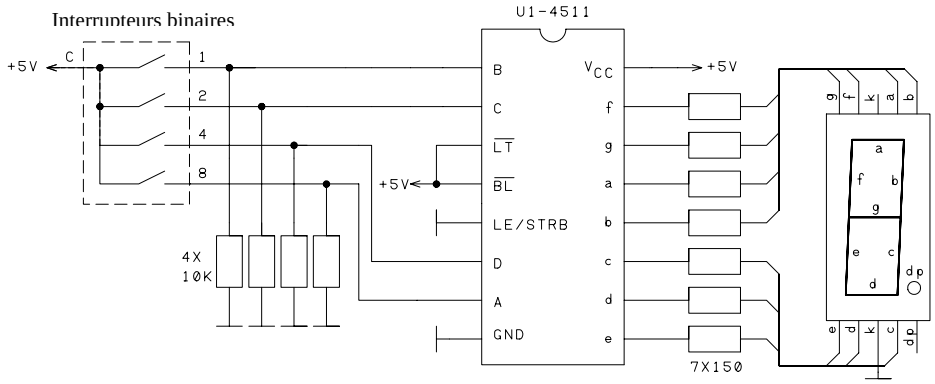
1 CI 4511 : Décodeur BCD-7 Segments avec latch (buffer)

1 afficheur 7 segments à cathode commune de type HDSP5303 ou équivalent

7 résistances 150Ω, ¼ W

Des interrupteurs binaires (se trouvant sur le 1136-D)

4 résistances de rappel de 10KΩ (se trouvant sur le 1136-D)



Afficheur 7 SEG. A cathode commune HDSP5303 ou Equivalent

FIG. 3 : Circuit de Test du convertisseur Binaire / 7SEG.

1136D70

Le circuit de la figure ci-dessus affiche le nombre introduit par les interrupteurs binaires sous forme décimale.

Noter que le 4511 peut seulement convertir des entrées entre 0 et 9 (Décimale) et les nombres Hexadécimaux A, B, C, D, E, F ne peuvent être affichés.

CHAPTER 6 – BASCULES

1 – La bascule RS

Ce type de base de la bascule a déjà été utilisé par l'étudiant. Cependant, il est intéressant de revoir ses principes de fonctionnement pour une étude complète des divers types de bascules (voir figure 1)

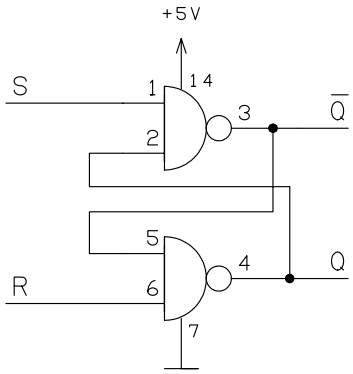


FIG. 1 : Bascule RS de base.

1136D71

- Utiliser un CI type 4011
- Ne pas laisser les pattes des entrées inutilisées (8,9,12,13) en l'air, les mettre à la masse.
- Utiliser une alimentation de +5V
- Utiliser les signaux des générateurs d'états logiques pour les entrées et deux indicateurs de niveaux logiques pour afficher l'état des sorties

- R et S doivent être normalement laissé à l'état haut.

Quand S est mis à l'état bas (R à état haut), la sortie Q passe à l'état haut.
Quand R est mis à l'état bas (S état à haut), la sortie Q passe à l'état bas.

2 – La bascule D

Le schéma de la figure 1 peut être changé en celui de la figure 2.

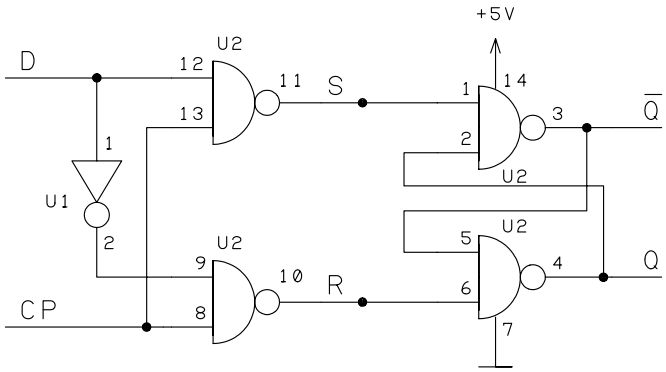


FIG. 2 : Bascule de Type D

1136D72

U1=4069
U2=4011

La tension d'alimentation est de +5V
Mettre toutes les entrées des CI non utilisées à la masse.

Utiliser les signaux des générateurs d'états logiques pour les entrées et deux indicateurs de niveaux logiques pour afficher l'état des sorties

Le fonctionnement du circuit est comme suit:

Un top d'horloge CP va enregistrer le niveau logique de D. en d'autres termes, avec CP à l'état haut, la bascule sera mise à 1 ou à 0 selon que D est à 1 ou à 0. Quand CP passe à l'état bas, la bascule garde on état.

3 – Bascule JK

Dans cette expérience, on utilisera un CI type 4027 dont le datasheet est donné en annexe

La figure 3 montre le circuit de test:

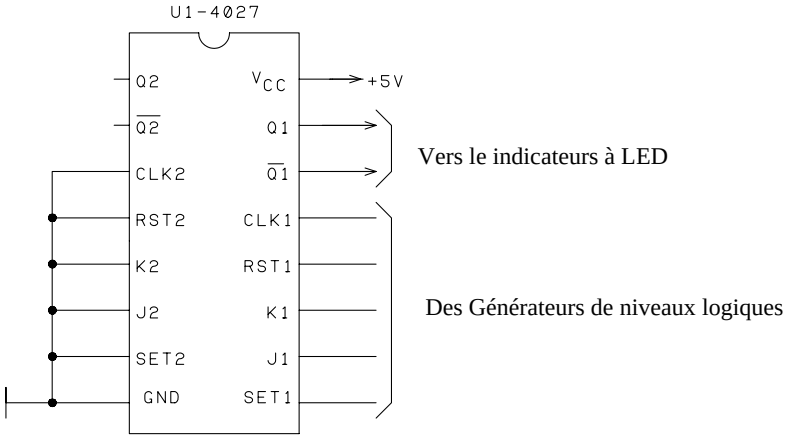


FIG. 3 : Circuit de test de la bascule JK

1136D73

Vérifier la table de vérité de la bascule JK, qui doit être comme suit :

ETATS PRESENTS					CLK*	ETATS SUIVANTS		
ENTREES				SORTIE		SORTIES		
J	K	S	R	Q		Q	$\overline{Q}$	
1	X	0	0	0	L/H	1	0	
X	0	0	0	1	L/H	1	0	
0	X	0	0	0	L/H	0	1	
X	1	0	0	1	L/H	0	1	
X	X	0	0	X	H/L			INCHANGE
X	X	1	0	X	X	1	0	
X	X	0	1	X	X	0	1	
X	X	1	1	X	X	1	1	

L/H –Transition état bas vers l'état haut (front montant)
H/L –Transition état haut vers l'état bas (front descendant)
X –Indifférence
* - changement de niveau

CHAPTER 7 – APPLICATIONS A BASCULES

2 – Diviseur de fréquence (par 2)

La figure 1 Montre le principe de ce diviseur

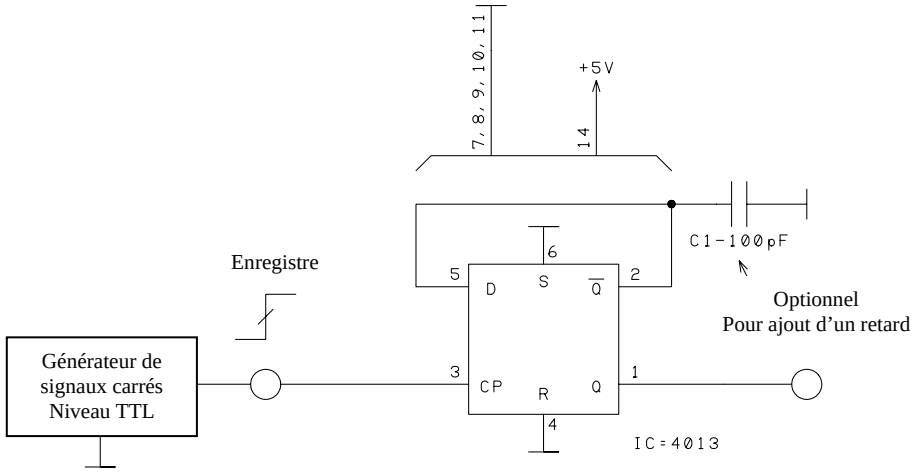


FIG. 1 : Diviseur de Fréquence

1136D74

On utilise ici un CI type 4013.

Une seul des deux bascules disponibles est utilisée avec la sortie inverseuse connecter sur son entrée D. De cette manière, sur le front montant de l'horloge, la valeur de la sortie $\overline{Q}$ est enregistrée. Immédiatement après, $\overline{Q}$ change d'état préparant ainsi la prochaine opération pour le prochain top d'horloge.

Le fonctionnement de ce circuit dépend par le retard mis par bascule pour fixer la sortie à la nouvelle valeur logique quand l'horloge envoi un front montant pour mémoriser la donnée.

Ce retard est naturellement de l'ordre de dix nanosecondes mais peut être augmenté en ajoutant une capacité pour un fonctionnement plus fiable comme c'est indiqué sur la figure 1.

Le générateur de signaux du 1136-D est utilisé pour produire l'horloge d'entrée. Le générateur SQW doit être configuré compatible niveaux TTL (0/+5V)

Comme alternative, un bouton poussoir, utilisé comme générateur à une impulsion, peut être utilisé pour produire une entrée.

L'état du bit de sortie peut être affiché par l'un des différents indicateurs de niveau logique (sonde logique, LED, …)

2 – Registre parallèle

On utilise ici deux CI type 4013 connectés comme on le voit sur la figure 2.

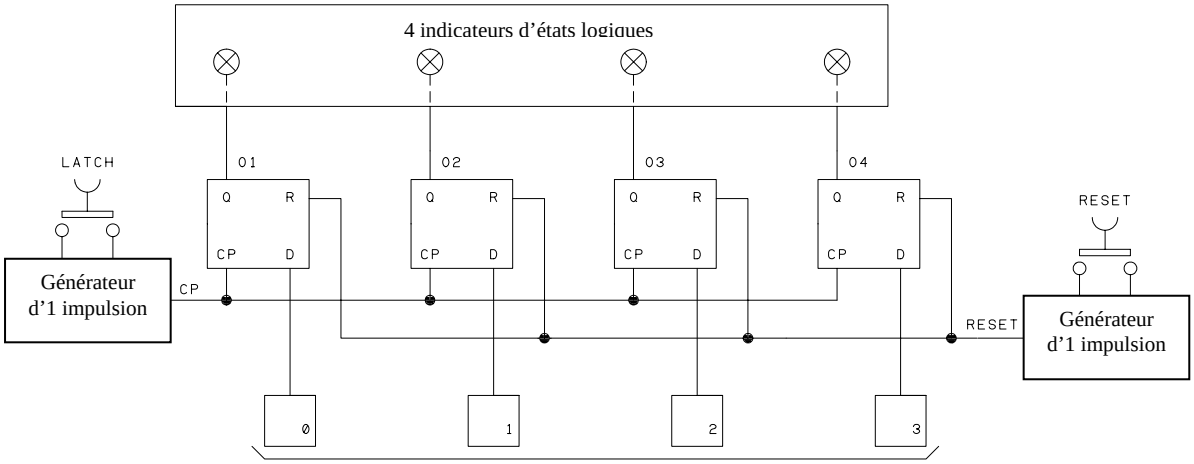


FIG. 2 : Circuit de test pour un registre parallèle

1136D75

Les quatre bascules ont R, S et CP en commun et leurs entrées D séparées.
Une combinaison binaire peut être configurée avec les boutons 0 à 3 et introduite en parallèle dans le registre quand le bouton poussoir CP est appuyé.
Un deuxième bouton poussoir est utilisé pour remettre à zéro le registre.

Les LED en sortie du registre sont utilisées pour afficher la combinaison binaire enregistrée.

La tension d'alimentation est de +5V
Mettre toutes les entrées des CI non utilisées à la masse.

3 – Compteur binaire

Les quatre bascules des deux CI 4013 peuvent être configurées pour fonctionner comme un compteur binaire à quatre étages.

La figure 3 montre le montage à réaliser.

La tension d'alimentation est de +5V
Mettre toutes les entrées des CI non utilisées à la masse.

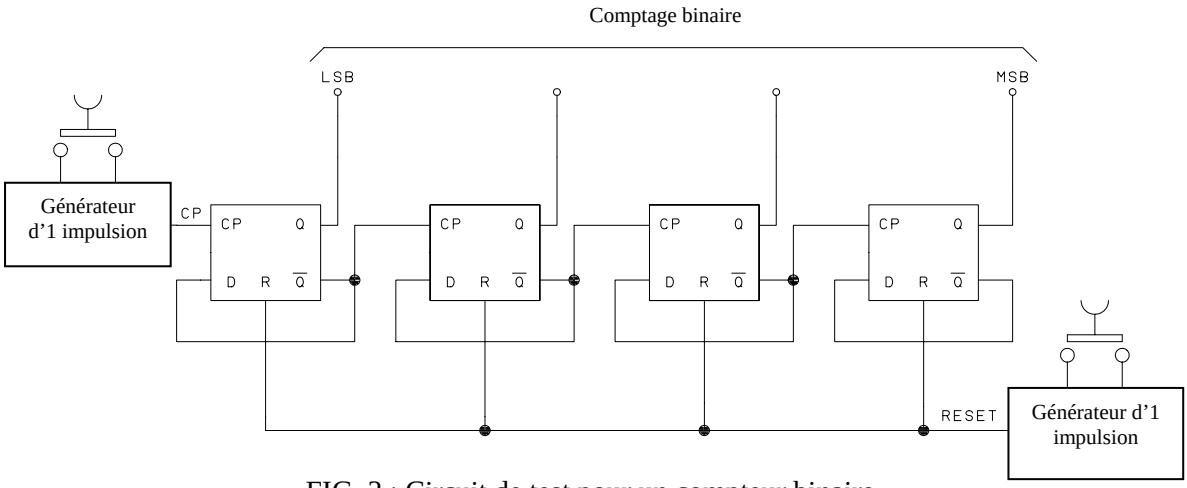


FIG. 3 : Circuit de test pour un compteur binaire

1136D76

4 – Décompteur binaire

Comme alternative au compteur réalisé dans le paragraphe précédent qui compte de 0 à F (Hexadécimal), ce compteur décompte de F(H) à 0 et redémarre à F(H).

La figure 4 montre le montage de ce compteur. Il utilise deux CI 4013.

La tension d'alimentation est de +5V
Mettre toutes les entrées des CI non utilisées à la masse

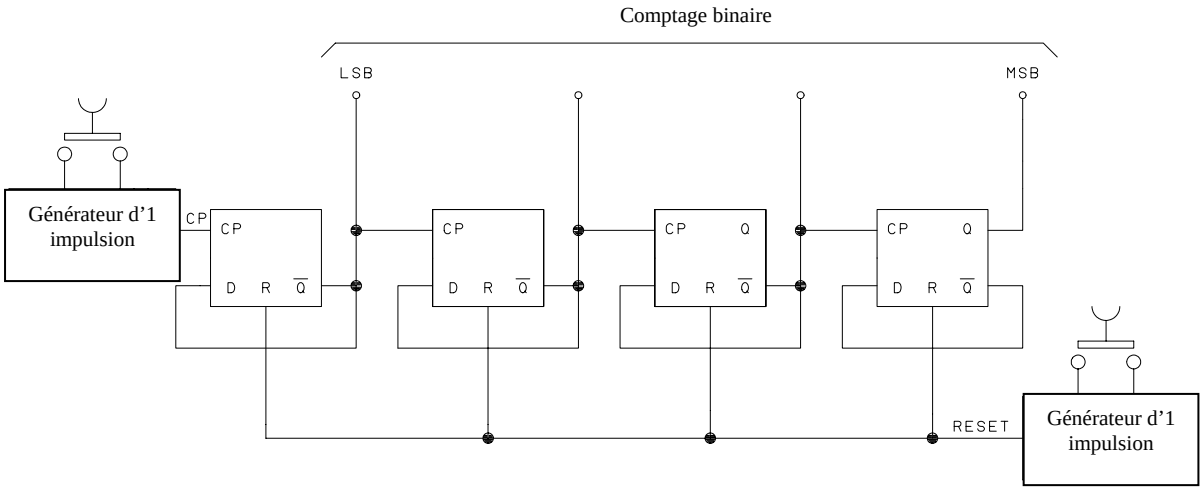


FIG. 4 : Circuit de test pour un décompteur binaire

1136D77

5 – Compteur diviseur par n

Le compteur présenté sur la figure 5 est obtenu par l'interconnexion des quatre bascules des deux CI 4013

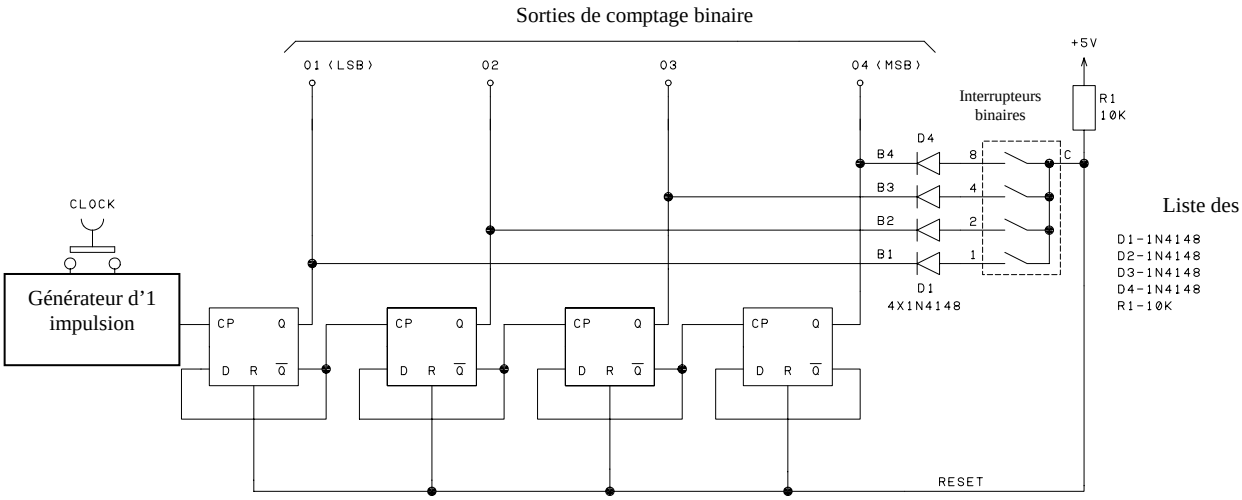


FIG. 5 : Circuit de test pour un compteur diviseur par N

.

Le compteur démarre à 0 et compte jusqu'au nombre binaire configuré par les microswitches. Quand il atteint ce nombre, le compteur est remis à zéro.

Remarquer que l l'on désire avoir un modulo N, les microwitschs doivent être configuré pour avoir la combinaison N+1.

Après avoir expérimenté ce compteur programmable, il sera demandé à l'étudiant de faire les changements nécessaires pour réaliser un décompteur programmable.

6 – Registre à décalage

le registre à décalage de la figure 6 est à base de quatre étages de bascules en cascade. Chaque étage transmet au suivant son contenu binaire à chaque commande de décalage active au front montant des impulsions d'horloge.

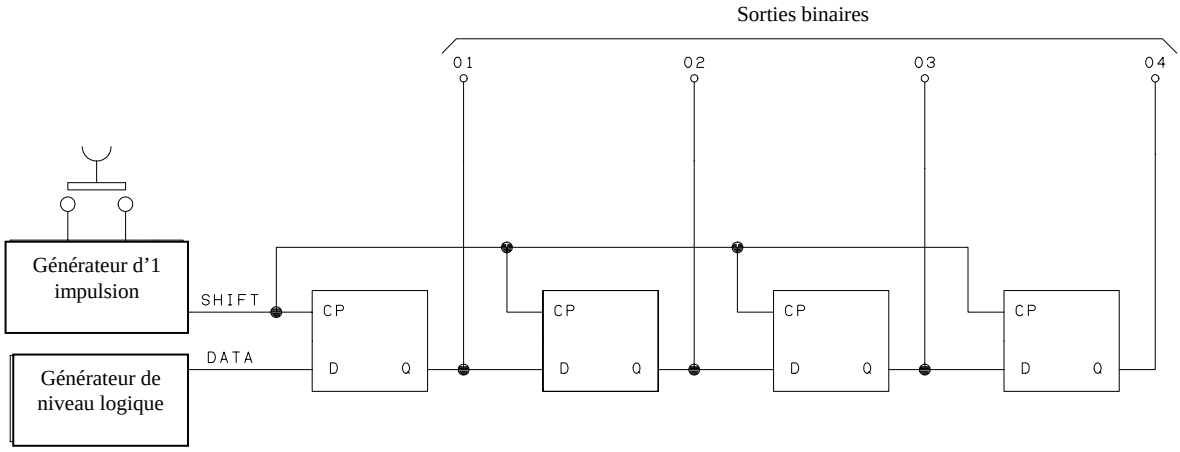


FIG. 6 : Circuit de test pour un registre à décalage

1136D79

Les commandes de décalage sont générées par appui sur le bouton poussoir de décalage. Les données sont rentrées par la gauche et décalée vers la droite.

La donnée entrée peut être un 0 ou 1 logique générée par le générateur de niveau logique.

Ce circuit est alimenté avec une tension de +5V
Mettre toutes les entrées des CI non utilisées à la masse

CHAPTER 8 – TRIGGER DE SCHMITT CMOS : DETECTEUR DE SEUIL

Le trigger de Schmitt détecteur de seuil à portes logiques CMOS est constitué de deux portes inverseuses en cascade dont la sortie de la seconde porte est réinjectée avec la même polarité à l'entrée de la première. (Voir figure 1)
Le cycle de l'hystérésis est déterminé par le rapport des résistances R2 sur R1.

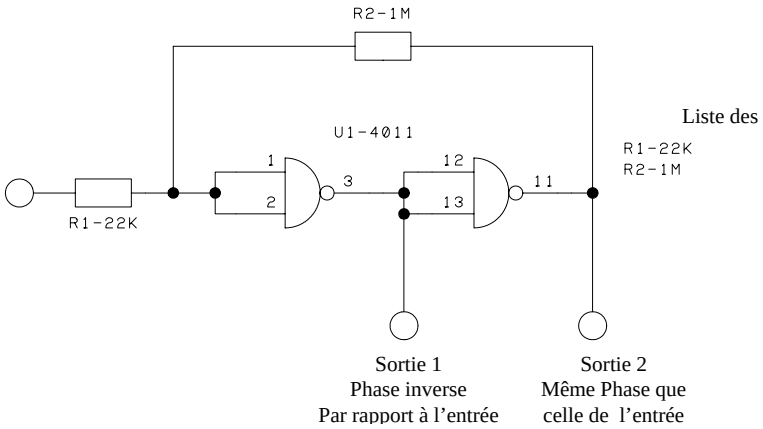


FIG. 1 : Circuit de SCHMITT de base (CMOS)

Ce circuit peut être appliqué dans une variété d'applications, dont certaines sont décrites dans les paragraphes suivants :

Noter que dans la famille des CI CMOS, il existe des types qui intègre la fonction de Schmitt. Comme exemple on peut citer le 40106, 4093, ...

1 – Génération de niveaux logiques à partir de signaux lents.

Cette application peut être testée avec le circuit de la figure 2.

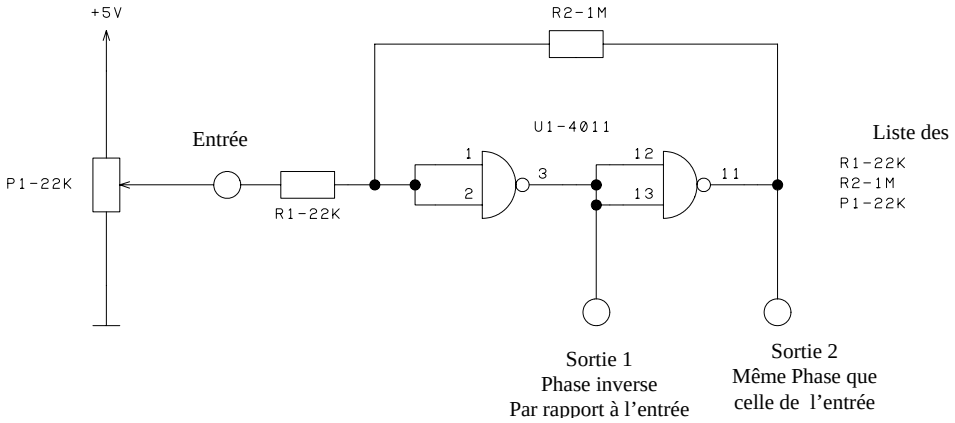


FIG. 2 : Schéma du Circuit de Test

1136D80

Le potentiomètre d'entrée est utilisé pour générer un signal à variations lentes, qui et injecté à l'entrée du trigger de Schmitt. Il commute à des niveaux de tensions haut et bas précis avec hystérésis. Il permet d'avoir des transitions de niveaux raides comme requis par la logique intégrée.

Ce circuit est alimenté avec une tension de +5V
Mettre toutes les entrées des CI non utilisées à la masse

2 – Monostable

Ce circuit de Schmitt peut être utilisé comme minuterie pour un ensemble d'application, par exemple pour le contrôle d'un relais.
Les figures 3, 4 et 5 montrent 03 cas d'utilisation :

Ce circuit est alimenté avec une tension de +5V
Mettre toutes les entrées des CI non utilisées à la masse

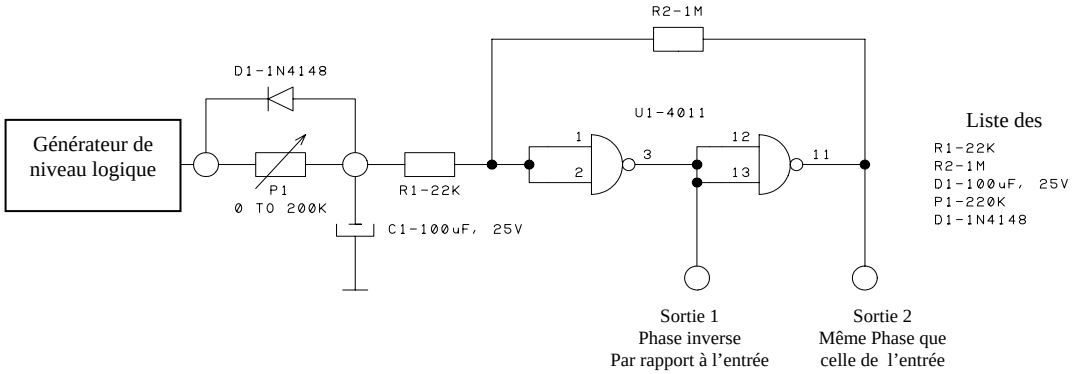


FIG.3 - TEST CIRCUIT FOR TURN-ON DELAY GENERATOR
1136D81

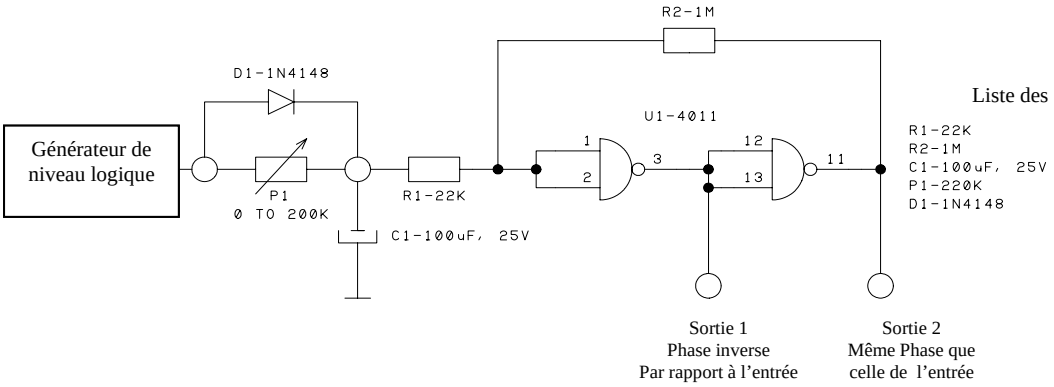


FIG.4 - TEST CIRCUIT FOR TURN-OFF DELAY GENERATOR
1136D82

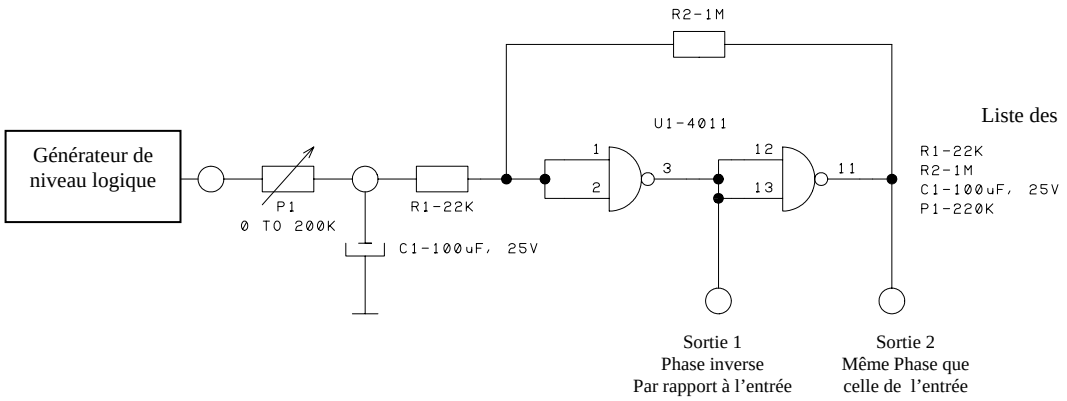


FIG.5 - TEST CIRCUIT FOR DELAYED TURN ON/OFF SWITCHING
1136D83

Noter que pour les 03 cas, P1 est utilisé pour avoir une constante de temps avec la capacité C1. Le meilleur réglage de P1 doit être déterminé expérimentalement. Une valeur excessive de P1 peut empêcher le timer de fonctionner.

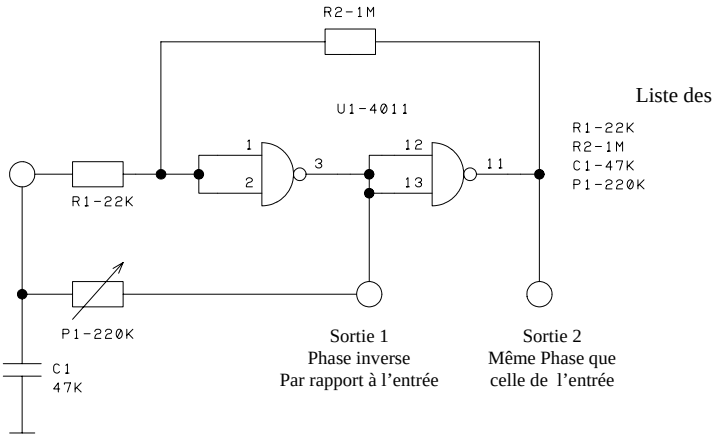
En choisissant correctement la constante de temps RC, les applications suivantes peuvent être réalisées avec ces circuits :

– Contact de-bouncing (Constante de temps RC d'approximativement 50 msec)
– Minuterie pour cage d'escalier (RC de quelques minutes, retard à l'extinction seulement)

3 –Générateur d'horloge

Cette application est présentée figure 1. Des exemples d'applications de ce circuit sont:

- Centrale clignotante automobile
- Feux clignotant d'urgence.



CHAPTER 9 – CIRCUITS INTEGRES A FONCTIONS SPECIALES.

Ce pupitre de formation inclue un ensemble de circuit intégrés ayant des fonctions spécifiques et un intérêt didactique particulier.

Chaque type de CI est complètement décrit les datasheets en annexe. Ils peuvent être étudié en suivant les tests et les exemples d'applications fournis dans le datasheet.
Les composants fournis dans cette version sont les suivants:

CMOS IC 4015
CMOS IC 4017
CMOS IC 4029
CMOS IC 4042
CMOS IC 4072
CMOS IC 4503
CMOS IC 4520

ANNEXE: DOCUMENTATION TECHNIQUE

Cette section les datasheets des fabricants des composants suivants:

CMOS IC 4011
CMOS IC 4013
CMOS IC 4019
CMOS IC 4027
CMOS IC 4069
CMOS IC 4070
CMOS IC 4073
CMOS IC 4093
CMOS IC 40106
CMOS IC 4511
CMOS IC 4532
CMOS IC 74HC138